

Family list**9** family members for: **JP8122824**

Derived from 6 applications

- 1 Color display device**
Inventor:
EC: G02F1/1335F2; G02F1/1362H
Publication info: **DE69534667D D1** - 2006-01-12
Applicant:
IPC: **G02F1/1333; G02F1/1335; G02F1/136** (+)
- 2 Color display device**
Inventor: KADOTA HISASHI (JP); INOUE YUKO (JP); (+3)
EC: G02F1/1335F2; G02F1/1362H
Publication info: **DE69534667T T2** - 2006-08-10
Applicant: SONY CORP (JP)
IPC: **G02F1/136; G02F1/1333; G02F1/1335** (+)
- 3 Color display device**
Inventor: KADOTA HISASHI (JP); INOUE YUKO (JP); (+3)
EC: G02F1/1335F2; G02F1/1362H
Publication info: **EP0708356 A2** - 1996-04-24
EP0708356 A3 - 1997-02-26
EP0708356 B1 - 2005-12-07
Applicant: SONY CORP (JP)
IPC: **G02F1/1335; G02F1/136; G02F1/1362** (+)
- 4 COLOR DISPLAY DEVICE**
Inventor: KADOTA HISASHI; INOUE YUKO; (+3)
EC: G02F1/1335F2; G02F1/1362H
Publication info: **JP3240858B2 B2** - 2001-12-25
JP8122824 A - 1996-05-17
Applicant: SONY CORP
IPC: **G02F1/1335; G02F1/136; G02F1/1362** (+11)
- 5 Color display device**
Inventor: KADOTA HISASHI (JP); INOUE YUKO (JP); (+3)
EC: G02F1/1335F2; G02F1/1362H
Publication info: **US5818550 A** - 1998-10-06
Applicant: SONY CORP (JP)
IPC: **G02F1/1335; G02F1/136; G02F1/1362** (+)
- 6 Color display device**
Inventor: KADOTA HISASHI (JP); INOUE YUKO (JP); (+3)
EC: G02F1/1335F2; G02F1/1362H
Publication info: **US5943107 A** - 1999-08-24
Applicant: SONY CORP (JP)
IPC: **G02F1/1335; G02F1/1362; G02F1/1333** (+)

Data supplied from the **esp@cenet** database - Worldwide

COLOR DISPLAY DEVICE

Patent number: JP8122824
Publication date: 1996-05-17
Inventor: KADOTA HISASHI; INOUE YUKO; URAZONO TAKENOBU; KUNII MASABUMI; NAKAMURA SHINJI
Applicant: SONY CORP
Classification:
- international: G02F1/1335; G02F1/136; G02F1/1362; G02F1/1368; H01L21/336; H01L29/786; G02F1/1368; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): G02F1/136; G02F1/1335; H01L21/336; H01L29/786
- european: G02F1/1335F2; G02F1/1362H
Application number: JP19940280096 19941019
Priority number(s): JP19940280096 19941019

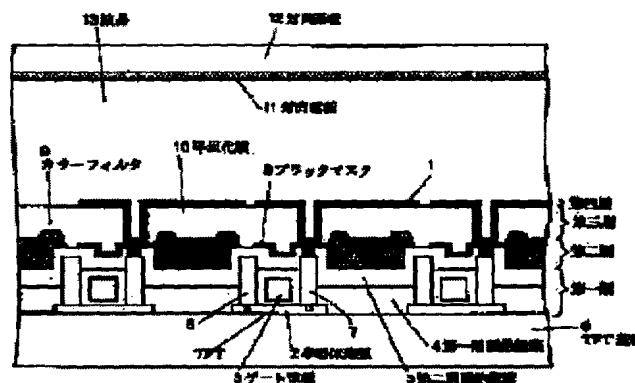
Also published as:

EP0708356 (A2)
 US5818550 (A1)
 EP0708356 (A3)
 EP0708356 (B1)
 DE69534667T (T)

Report a data error he

Abstract of JP8122824

PURPOSE: To provide an on-tip color filter structure being suitable for making a picture element high in resolution and high in aperture rate. **CONSTITUTION:** A picture element electrode 1 arranged a matrix-shapedly; a thin film transistor TFT for driving individual picture element; and a color filter 9 to interface with each picture element electrode 1 are formed on a TFT substrate 0. An opposite substrate 12 has an opposite electrode 11 and joints to the TFT substrate 0 through a fixed clearance. Liquid crystal is preserved in the clearance. The TFT substrate 0 has the structure of laminated layers where the first to the fourth layers are piled in order. The first layer contains TFT. The second layer contains the color filter 9 and a black mask 8. The third layer is composed of a flattening film 10 for levelling the irregularities of TFT and of the color filter 9. The fourth layer contains the picture element electrode 1. In the laminated structure, the flattening film 10 exists between the picture element electrode 1 and the color filter 9.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-122824

(43) 公開日 平成8年(1996)5月17日

(51) Int. Cl. ⁶
G02F 1/136
1/1335
H01L 29/786

識別記号
500
500
505

F I

9056-4M

H01L 29/78

612

Z

審査請求 未請求 請求項の数 8 F D (全8頁) 最終頁に続く

(21) 出願番号 特願平6-280096
(22) 出願日 平成6年(1994)10月19日

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 門田 久志
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者 井上 祐子
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者 浦園 丈展
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74) 代理人 弁理士 鈴木 晴敏

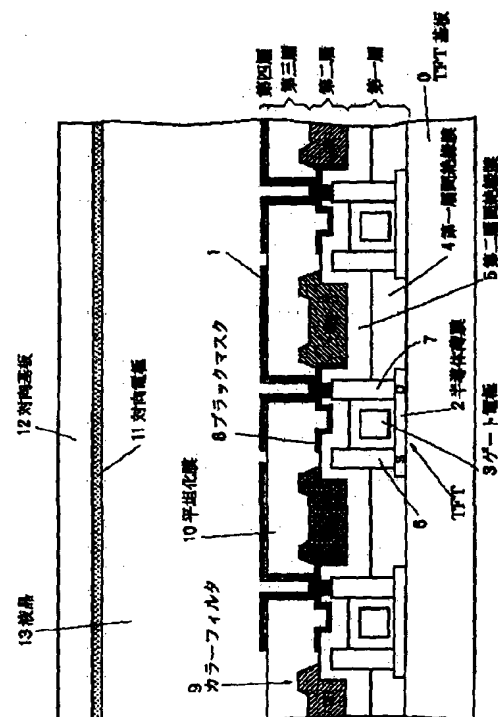
最終頁に続く

(54) 【発明の名称】 カラー表示装置

(57) 【要約】

【目的】 画素の高精細化及び高開口率化に適したオンチップカラーフィルタ構造を提供する。

【構成】 T F T基板0には、マトリクス状に配列した画素電極1、個々の画素電極1を駆動する薄膜トランジスタT F T及び各画素電極1に整合するカラーフィルタ9が形成されている。対向基板12は対向電極11を有すると共に、T F T基板0に所定の間隙を介して接合している。この間隙には液晶13が保持されている。T F T基板0は第一層ないし第四層を順に重ねた積層構造を有している。第一層はT F Tを含んでいる。第二層はカラーフィルタ9やブラックマスク8を含んでいる。第三層はT F Tやカラーフィルタ9の凹凸を埋める平坦化膜10からなる。第四層は画素電極1を含んでいる。この積層構造は画素電極1とカラーフィルタ9との間に平坦化膜10を介在させた事の特徴とする。



【特許請求の範囲】

【請求項 1】 マトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に整合するカラーフィルタが形成された一方の基板と、対向電極を有すると共に該一方の基板に所定の間隙を介して接合した他方の基板と、該間隙に保持された電気光学物質とを備えたカラー表示装置であって、前記一方の基板は、該スイッチング素子を含む第一層と、該カラーフィルタを含む第二層と、該スイッチング素子及び該カラーフィルタの凹凸を埋める平坦化膜からなる第三層と、該カラーフィルタに整合配置した該画素電極を含む第四層とを順に重ねた積層構造を有する事を特徴とするカラー表示装置。

【請求項 2】 前記平坦化膜は有機透明材料からなる事を特徴とする請求項 1 記載のカラー表示装置。

【請求項 3】 前記カラーフィルタは顔料を分散した有機感光材料からなる事を特徴とする請求項 1 記載のカラー表示装置。

【請求項 4】 前記第二層は、該カラーフィルタに加えてブラックマスクを含んでおり、少なくとも該スイッチング素子を遮光する事を特徴とする請求項 1 記載のカラー表示装置。

【請求項 5】 前記ブラックマスクは金属膜からなり、第四層に属する画素電極は該金属膜を介して第一層に属するスイッチング素子に電気接続している事を特徴とする請求項 4 記載のカラー表示装置。

【請求項 6】 前記ブラックマスクは絶縁膜からなり、第四層に属する画素電極は該平坦化膜及び該絶縁膜を貫通して直接第一層に属するスイッチング素子に電気接続している事を特徴とする請求項 4 記載のカラー表示装置。

【請求項 7】 前記スイッチング素子は、トップゲート型又はボトムゲート型の薄膜トランジスタである事を特徴とする請求項 1 記載のカラー表示装置。

【請求項 8】 前記電気光学物質は、液晶である事を特徴とする請求項 1 記載のカラー表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はカラー表示装置に関する。より詳しくは、画素電極を駆動するスイッチング素子が形成された駆動基板側にカラーフィルタを備えた構造を有するアクティブマトリクス型のカラー表示装置に関する。

【0002】

【従来の技術】 薄膜トランジスタを画素電極駆動用のスイッチング素子として用いるカラー液晶表示装置は近年その開発が活発に行なわれている。従来、この種の液晶表示装置としては、例えば図 5 に示す様な構成が知られている。この従来例では、ガラス基板 0 上に画素電極 1 を駆動する為の薄膜トランジスタ (TFT) が集積形成

されている。TFT は半導体薄膜 2 を素子領域とし、ゲート絶縁膜を介してゲート電極 3 がパタニング形成されている。半導体薄膜 2 にはソース領域 S とドレイン領域 D が設けられている。かかる構成を有する TFT は第一層間絶縁膜 4 により被覆されている。この上には所定の形状にパタニングされた配線電極 6 が設けられており、コンタクトホールを介してソース領域 S に電気接続している。この配線電極 6 は信号ラインの一部を構成する。配線電極 6 は第二層間絶縁膜 5 により被覆されている。前述した画素電極 1 は第二層間絶縁膜 5 及び第一層間絶縁膜 4 に開口したコンタクトホールを介してドレイン領域 D に電気接続している。各画素電極 1 を RGB 三原色で着色する為カラーフィルタ 9 が形成されている。カラーフィルタ 9 は細分化されており、個々の画素電極 1 と第二層間絶縁膜 5 の間に介在する。カラーフィルタ 9 は赤色のセグメント 9R と緑色のセグメント 9G と青色のセグメント 9B とからなる。この様に、カラーフィルタ 9 はガラス基板 0 の上に直接形成されており、所謂オンチップカラーフィルタ構造となっている。なお、TFT、画素電極 1 及びカラーフィルタ 9 が集積形成されたガラス基板 0 を以下 TFT 基板と呼ぶ事にする。この TFT 基板 0 に対し所定の間隙を介して対向基板 12 が接合している。対向基板 12 の内表面には対向電極 11 が形成されている。両基板 0、12 の間には液晶 13 が保持されている。

【0003】 オンチップカラーフィルタ構造は、例えば特開平 2 - 5 4 2 1 7 号公報、特開平 3 - 2 3 7 4 3 2 号公報、特開平 3 - 7 2 3 2 2 号公報、特開平 3 - 1 1 9 8 2 9 号公報、特開平 4 - 2 5 3 0 2 8 号公報、特開平 2 - 1 5 3 3 2 5 号公報、特開平 5 - 5 8 7 4 号公報等に開示されている。TFT 基板側にカラーフィルタを設けた構造は、対向基板側にカラーフィルタを形成した構造に比べ種々の利点を有している。例えば、カラーフィルタ 9 が画素電極 1 と重なっている為両者の間に視差が生ぜず、画素部の開口率を大きくとれる。又、画素電極 1 とカラーフィルタ 9 のアライメント誤差が殆どなくなるので、画素部が微細化しても高開口率を維持できる。

【0004】

【発明が解決しようとする課題】 しかしながら、図 5 に示す従来構造は、カラーフィルタ 9 に透明な画素電極 1 が直接接触している。この様な構造をとると、カラーフィルタ 9 は ITO 等からなる透明画素電極 1 の成膜時等にスパッタダメージを受ける為、カラーフィルタ 9 の表面荒れが起りやすかった。又、カラーフィルタ 9 の各セグメント 9R、9G、9B は一定の間隔で分離されているが、この分離帯に ITO がスパッタされると、画素電極 1 のパタニング加工時エッチング残りが生じやすく、不良発生の原因となっていた。加えて、下地のカラーフィルタ 9 の凹凸の影響を受け画素電極 1 に段差が生じる

為、これが液晶 1 3 の配向乱れ、ディスクリネーション、リバースチルトドメイン等を引き起す原因ともなっていた。さらに、カラーフィルタ 9 に含まれる不純物が液晶 1 3 やその配向膜（図示省略）を汚染し、これらを劣化させたり焼き付き等の不良を起す原因となっていた。

【0 0 0 5】

【課題を解決するための手段】本発明は上述した問題点を解決するもので、その目的はカラーフィルタの表面荒れ、エッチング残り、リバースチルトドメインの発生等が生じないオンチップカラーフィルタ構造を提供する事にある。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかるカラー表示装置は基本的な構成として、マトリクス状に配列した画素電極、個々の画素電極を駆動するスイッチング素子及び各画素電極に整合するカラーフィルタが形成された一方の基板と、対向電極を有すると共に該一方の基板に所定の間隙を介して接合した他方の基板と、該間隙に保持された電気光学物質とを備えている。特徴事項として、前記一方の基板は、該スイッチング素子を含む第一層と、該カラーフィルタを含む第二層と、該スイッチング素子及び該カラーフィルタの凹凸を埋める平坦化膜からなる第三層と、該カラーフィルタに整合配置した該画素電極を含む第四層とを順に重ねた積層構造を有する。

【0 0 0 6】具体的な構成では、前記平坦化膜は有機透明材料を用いる事ができる。又、前記カラーフィルタは顔料を分散した有機感光材料を用いる事ができる。好ましくは、前記第二層は該カラーフィルタに加えてブラックマスクを含んでおり、少なくとも該スイッチング素子を遮光する。このブラックマスクは例えば金属膜からなり、第四層に属する画素電極は該金属膜を介して第一層に属するスイッチング素子に電気接続している。あるいは、このブラックマスクは絶縁膜からなり、第四層に属する画素電極は該平坦化膜及び該絶縁膜を貫通して直接第一層に属するスイッチング素子に電気接続している。前記スイッチング素子は、例えばトップゲート型又はボトムゲート型の薄膜トランジスタからなる。なお、前記電気光学物質は例えば液晶を用いる事ができる。

【0 0 0 7】

【作用】本発明にかかるオンチップカラーフィルタ構造では、カラーフィルタを含む第二層と該カラーフィルタに整合配置した画素電極を含む第四層との間に、スイッチング素子及びカラーフィルタの凹凸を埋める平坦化膜からなる第三層が介在している。即ち、カラーフィルタは平坦化膜により保護された構造となっており、この平坦化膜の上に画素電極がパタニング形成される。従って、画素電極の成膜時やパタニング時、カラーフィルタの表面荒れが起らない。又、画素電極 1 は極めて平滑な表面を有する平坦化膜の上に形成されるので、従来問題となっていたエッチング残り等が生じない。さらに画素

電極の表面状態も略平らになるので、従来問題となっていた液晶の配向乱れ、ディスクリネーション、リバースチルトドメイン等も発生しない。さらに、前述した第二層はカラーフィルタに加えてブラックマスクを含む様にしており、オンチップカラーフィルタ構造ばかりでなく所謂オンチップブラック構造をも実現している。これにより、画素の高精細化及び高開口率化が一層促進できる。特に、ブラックマスクを金属膜で構成し、これを介して画素電極とスイッチング素子を電気接続する。この構造により両者間の電気接続の信頼性が向上する。

【0 0 0 8】

【実施例】以下、本発明にかかるカラー表示装置の好適な実施例を詳細に説明する。図 1 は第一実施例の要部を示す模式的な断面図である。図 1 において、0 はガラス等の絶縁材料からなる T F T 基板、1 は画素（液晶セル）を構成する透明な画素電極、2 は T F T の活性層となる半導体薄膜、3 はゲート電極、4 は第一層間絶縁膜、5 は第二層間絶縁膜、6 は T F T のソース領域 S に電気接続する信号ライン側の配線電極、7 は同じく T F T のドレイン領域 D に電気接続する画素電極 1 側の配線電極、8 は T F T を遮光するブラックマスク、9 は細分化されたセグメント 9 R、9 G、9 B の集合からなるカラーフィルタ、1 0 は平坦化膜、1 1 は透明導電膜からなる対向電極、1 2 は対向基板、1 3 は電気光学物質として用いられる液晶である。

【0 0 0 9】ガラス等の透明絶縁基板 0 上に薄膜トランジスタ T F T を構成する半導体薄膜 2、例えば多結晶シリコン薄膜が形成され、この半導体薄膜 2 上にゲート絶縁膜を介してゲート電極 3 がパタニング形成されている。かかる構成を有する T F T は P S G 等からなる第一層間絶縁膜 4 により被覆されている。第一層間絶縁膜 4 の上にはソース領域 S 及びドレイン領域 D に接続する配線電極 6、7 がパタニング形成されている。これらの配線電極 6、7 は同じく P S G 等からなる第二層間絶縁膜 5 により被覆されている。この上にはブラックマスク 8、カラーフィルタ 9、平坦化膜 1 0、I T O 等の透明導電膜等からなる画素電極 1 がこの順序で形成されている。ドレイン領域 D 側の配線電極 7 は金属膜からなるブラックマスク 8 を介して画素電極 1 と電気的に接続している。配線電極 7 と画素電極 1 の間に介在するこの金属膜はバリヤフィルムとして機能し、両電極 7、1 間の電気的な接触を良好なものとしている。なお、このバリヤフィルムはブラックマスク 8 と同一の金属膜であれば良く、バリヤフィルム自体が下地の T F T を遮光する位置になくても良い。一方、対向電極 1 1 が全面に形成されたガラス等からなる対向基板 1 2 は T F T 基板 0 に対向して配置され、両基板 0、1 2 間に液晶 1 3 が保持されカラー表示装置を構成する。

【0 0 1 0】本発明の特徴事項として、T F T 基板 0 は第一層ないし第四層を順に重ねた積層構造を有してい

る。図示する様に、一番下の第一層はTFTに加え配線電極6、7や第一層間絶縁膜4、第二層間絶縁膜5を含んでいる。次の第二層はカラーフィルタ9を含んでいる。前述した様に、カラーフィルタ9は個々のセグメント9R、9G、9Bに分割されており、表面は凹凸状態となっている。その上の第三層はTFTやカラーフィルタ9の凹凸を埋める平坦化膜10で構成されている。一番上の第四層は画素電極1を含んでおり、カラーフィルタ9の各セグメント9R、9G、9Bに整合配置されている。なお、第四層には画素電極1に加え液晶13の配向膜（図示省略）等も含まれる。かかる積層構造の特徴は、第二層と第四層との間に第三層が介在している事であり、換言するとカラーフィルタ9と画素電極1は平坦化膜10により隔てられている。カラーフィルタ9は平坦化膜10により保護されており、後工程でのダメージを受ける事が無い。画素電極1は平坦化膜10の上にパタニングされる為、加工性が良いばかりでなく液晶13の配向を乱す惧れが無い。

【0011】第二層はカラーフィルタ9に加えてブラックマスク8を含んでおり、少なくともTFTを遮光している。オンチップカラーフィルタ構造に加えオンチップブラック構造が実現でき、画素の高精細化及び高開口率化を促進できる。本例では、ブラックマスク8は金属膜からなり、第四層に属する画素電極1はこの金属膜を介して第一層に属するTFTの配線電極7に電気接続している。この金属膜はバリアフィルムとして機能し両電極1、7の電気接続を良好なものとする。TFTは画素電極1を駆動するスイッチング素子であり、本例ではトッ

プゲート型構造を採用している。

【0012】引き続き図1を参照して、本発明にかかるカラー表示装置の製造方法を詳細に説明する。先ず、ガラス等からなる絶縁基板0の上に半導体薄膜2、例えば多結晶シリコンを70～100nmの厚みで成膜する。必要ならば、Si+イオンを打ち込み非晶質化した後、600℃程度で加熱処理（アニール）して大粒径化を図る。あるいは、エキシマレーザ光を照射してアニールを行なっても良い。この半導体薄膜2は所定の形状にパタニングされる。この上に熱酸化法あるいはLPCVD法等の手段を用いてゲート絶縁膜を10～100nmの厚みで成膜する。次いで、多結晶シリコンあるいはMoSi、WSi、Al、Ta、Mo/Ta、Mo、W、Ti、Cr等の金属を成膜し、パタニングしてゲート電極3に加工する。なお、ゲート電極3として多結晶シリコンを用いた場合は低抵抗化を図る為、P等を熱拡散する工程が入る事がある。この後、ゲート電極3をマスクとしてイオンインプランテーションあるいはイオンドーピングにより不純物イオンを打ち込み、ソース領域S及びドレイン領域Dを形成する。多結晶シリコンからなるゲート構造を採用した場合、1000℃程度の熱アニールを加え不純物の活性化を図る。金属ゲート構造を採用し

た場合、耐熱性の観点から、低温アニール又はレーザアニールを加え不純物の活性化を図る。

【0013】続いて、PSG、NSG等を約600nmの厚みで常圧CVD法により成膜し第一層間絶縁膜4とする。これにソース領域S及びドレイン領域Dに連通するコンタクトホールを開孔する。次いで、Al等の導電性薄膜をスパッタ等により400～600nmの厚みで成膜する。これを所定の形状にパタニングし、配線電極6、7に加工する。この上に、例えばPSG等を常圧CVD法により約400nmの厚みで堆積し、第二層間絶縁膜5を形成する。この後、TFTの性能を改善する為水素化工程を行なう。この水素化工程では、例えば水素プラズマ中にTFT基板0を曝露する。あるいは、P-SiNx膜を積層し、アニールして水素を半導体薄膜2に拡散させる。この水素化工程後、画素電極と電気接続をとる為のコンタクトホールを第二層間絶縁膜5に開孔する。この上に、遮光性を有する金属膜、例えばTi、Al、TiN、Mo、Cr、W又はこれらのシリサイドをスパッタ等の手段により50～1000nm程度の厚みで成膜し、所定の形状にパタニングしてブラックマスク8に加工する。

【0014】このブラックマスク8上に、例えば顔料を分散した有機感光材料からなるカラーレジストを0.5～3.0μm程度の膜厚で塗布し、露光、現像、焼成を行ない、カラーフィルタ9の各セグメントを形成する。この工程は、RGB毎に異なったカラーレジストを用い、上述した露光、現像、焼成を3回繰り返し、セグメント9R、9G、9Bを集積形成する。

【0015】このカラーフィルタ9上に、有機透明材料からなる平坦化膜をスピンコートし、1.0～3.0μm程度の膜厚で塗布する。この有機透明材料としてはアクリル樹脂やポリイミド樹脂を用いる事ができる。この工程で、TFT基板0上の凹凸が平坦化され、液晶の配向性に優れた基板構造が得られる。同時に、カラーフィルタ9中に含まれる不純物が液晶13に拡散する事を防止できる。この後、平坦化膜10にコンタクトホールを開孔する。次いで、例えばITO等からなる透明導電膜を50～200nmの厚みでスパッタ等により成膜し、所定の形状にパタニングして画素電極1に加工する。以上で図1に示したTFT基板0の積層構造が完成する。この後、配向膜を塗布しラビング処理後、所定の間隙を介して対向基板12と接合する。この間隙に液晶13を注入して、アクティブマトリクス型のカラー表示装置が完成する。

【0016】図2は、本発明にかかるカラー表示装置の第二実施例を示す模式的な部分断面図である。基本的な構成は図1に示した第一実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は第二層の構造である。第一実施例ではブラックマスク8を形成した後、カラーフィルタ9を形成

している。これに対し、第二実施例では先にカラーフィルタ 9 を形成し、その上に重ねてブラックマスク 8 を形成している。工程設計上の観点等から、図 1 又は図 2 に示した構造のどちらかが適宜選択される。

【0017】図 3 は、本発明にかかるカラー表示装置の第三実施例を示す模式的な部分断面図である。基本的には図 1 に示した第一実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、画素電極 1 と TFT の電気接続構造にある。本実施例では、ブラックマスク 8 が絶縁膜からなる一方、第四層に属する画素電極 1 は平坦化膜 10 及びブラックマスク 8 を貫通して、直接第一層に属する TFT のドレイン領域 D に電気接続している。ブラックマスク 8 はバリアフィルムとして機能しないので、金属膜である必要はなく絶縁膜からなる。例えば、有機系又は水溶系顔料分散膜を用いる事ができ、0.5~3.0 μm の膜厚で成膜し、ブラックマスク 8 とする。

【0018】図 4 は、本発明にかかるカラー表示装置の第四実施例を示す模式的な部分断面図である。基本的には図 1 に示した第一実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、第一実施例がトップゲート型の TFT を採用したのに対し、本実施例はボトムゲート型の TFT を画素電極駆動用のスイッチング素子に用いている。この構造を作成する場合には以下の工程を行なう。まず、基板 0 上に多結晶シリコンあるいは MoSi, WSi, Al, Ta, Mo/Ta, Mo, W, Ti, Cr 等の金属を成膜し、所定の形状にパタニングしてゲート電極 3 に加工する。このゲート電極形成後、SiO₂, SiO, N₂ 等をスパッタ法又はプラズマ CVD 法等により約 100~200 nm の厚みで成膜し、ゲート絶縁膜 14 とする。場合によっては、金属ゲート電極 3 の陽極酸化膜をゲート絶縁膜に用いても良い。あるいは、陽極酸化膜と SiO₂, SiO, N₂ 等を重ねてゲート絶縁膜にしても良い。続いて多結晶シリコン、非晶質シリコン等をスパッタ法、プラズマ CVD 法等により約 30~80 nm の厚みで成膜し、活性層となる半導体薄膜 2 を設ける。必要ならば、エキシマレーザ等を照射し結晶化させる。プラズマ CVD 法を用いる場合は、ゲート絶縁膜 14 と半導体薄膜 2 を連続的に成膜できる。半導体薄膜 2 を形成した後、SiO₂ を成膜し所定の形状にパタニングしてエッチングストップ 15 とする。これをマスクとしてイオンドーピング又はイオンインプランテーションにより不純物を半導体薄膜 2 に打ち込みソース/ドレイン領域を形成する。イオン打ち込みに替え、プラズマ CVD を用いたドーパント非晶質シリコン等を用い不純物拡散を行なっても良い。この後、MoSi, WSi, Al, Ta, Mo/Ta, Mo, W, Ti, Cr 等の金属膜を形成し、所定の形状にパタニングして配線電極 6, 7 に加工する。次いで、常圧 CVD 法等により層間絶縁膜 4 を

形成する。この層間絶縁膜 4 にコンタクトホールを開く。次いで、金属膜、例えば Ti, Al, TiN, Mo, Cr, W 又はこれらの金属シリサイド等をスパッタ法等により 50~1000 nm 程度の厚みで成膜し、所定の形状にパタニングしてブラックマスク 8 に加工する。このブラックマスク 8 の上にカラーフィルタ 9 を形成する。この形成方法は第一実施例と同様である。さらに、カラーフィルタ 9 を被覆する様に平坦化膜 10 を成膜する。

【0019】

【発明の効果】以上説明した様に、本発明によれば、カラーフィルタと画素電極は平坦化膜を介して隔てられている為、カラーフィルタの表面がスパッタダメージを受ける事はなく、フィルタの表面荒れの問題は解決できた。さらにカラーフィルタ中に含まれる不純物の液晶層への拡散を防ぐ事ができる。又、カラーフィルタの段差も平坦化膜で緩和される為、段差起因のリバースチルトメインも大幅に減少した。以上により、実用的なオンチップカラーフィルタ構造を提供する事が可能になった。勿論、オンチップカラーフィルタ構造では、画素部の開口率を大きくとれ、又画素電極とカラーフィルタのアライメント誤差が殆んどなくなるので、画素部が微細化しても高開口率を保持できる様になり、アクティブマトリクス型カラー表示装置の高開口率化及び高透過率化に大きな効果が得られる。

【図面の簡単な説明】

【図 1】本発明にかかるカラー表示装置の第一実施例を示す要部断面図である。

【図 2】本発明にかかるカラー表示装置の第二実施例を示す要部断面図である。

【図 3】本発明にかかるカラー表示装置の第三実施例を示す要部断面図である。

【図 4】本発明にかかるカラー表示装置の第四実施例を示す要部断面図である。

【図 5】従来のカラー表示装置の一例を示す模式的な部分断面図である。

【符号の説明】

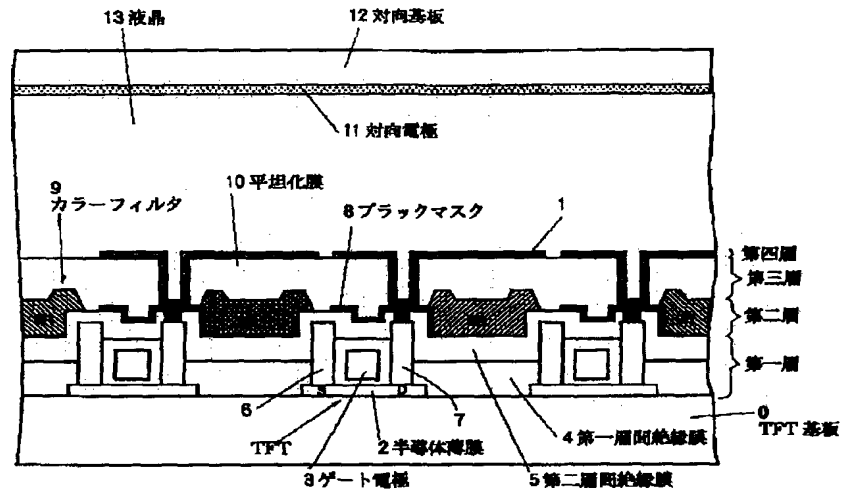
- 0 TFT 基板
- 1 画素電極
- 2 半導体薄膜
- 3 ゲート電極
- 4 第一層間絶縁膜
- 5 第二層間絶縁膜
- 6 配線電極
- 7 配線電極
- 8 ブラックマスク
- 9 カラーフィルタ
- 10 平坦化膜
- 11 対向電極
- 12 対向基板

1 3 液晶

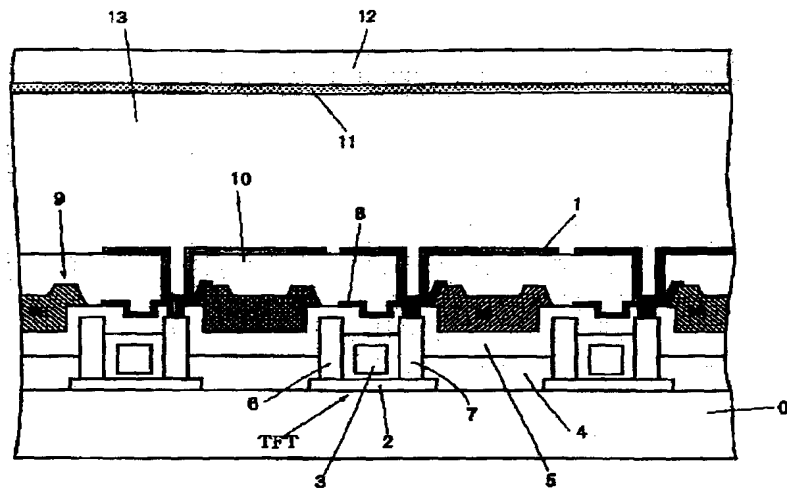
1 5 エッチングストップ

1 4 ゲート絶縁膜

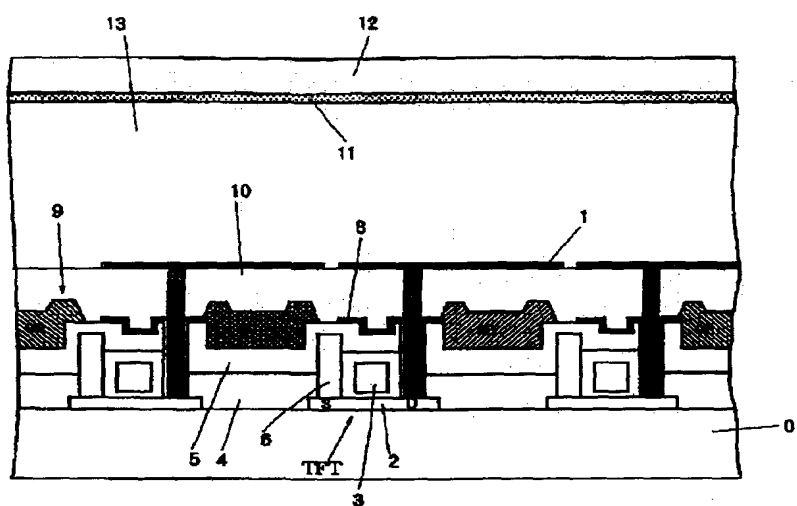
【図 1】



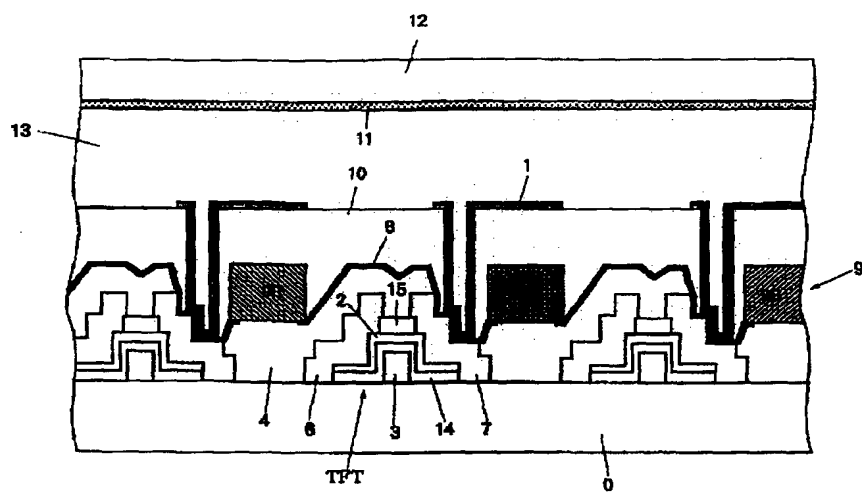
【図 2】



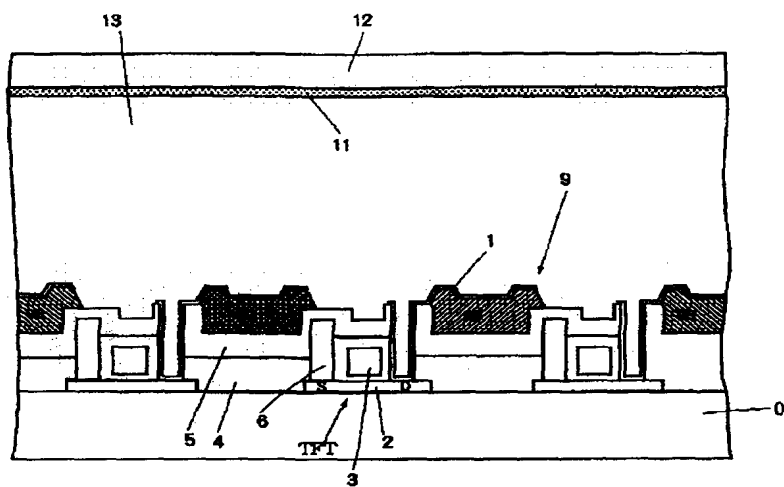
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/336

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 国井 正文

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 中村 真治

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内